

DERWENT-ACC-NO: 2000-153000
DERWENT-WEEK: 200014
COPYRIGHT 2006 DERWENT INFORMATION LTD
TITLE:

Bump electrode formation method for mounting semiconductor chip on circuit board used in electronic device - involves removing predefined portion of plating resist layer by laser irradiation and forming bump in plating resist layer removed portion by electrolytic plating

PATENT-ASSIGNEE: SONY CORP[SONY]
PRIORITY-DATA: 1998JP-0170184 (June 17, 1998)

PATENT-FAMILY:

PUB-NO: JP 2000012726 A
PUB-DATE: January 14, 2000

LANGUAGE
N/A

PAGES
006

MAIN-IPC
H01L

APPLICATION-DATA:

PUB-NO: JP2000012726A
APPL-DESCRIPTOR: N/A
APPL-NO: 1998JP-0170184
APPL-DATE: June 17, 1998

INT-CL (IPC): H01L021/60, H01L023/12, H05K003/24

ABSTRACTED-PUB-NO: JP2000012726A

BASIC-ABSTRACT:

NOVELTY - Circuit pattern (2) is formed on the surface of plating resist layer (3) formed on the surface of circuit board (1). Laser is irradiated on portion of the resist layer, and bump (5) is formed on the irradiated portion by electrolytic plating and then remaining the resist layer is removed.

USE - For forming bump electrode for mounting semiconductor chip on circuit board used in electronic device.

ADVANTAGE - Due to the formation of bump electrode on circuit board, during semiconductor mounting highly precise mask is not required.

DESCRIPTION OF DRAWING(S) - The figure shows the bump electrode formation on circuit board for semiconductor mounting. (1) Circuit board; (2) Circuit pattern; (3) Resist layer; (5) Bump.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: BUMP ELECTRODE FORMATION METHOD MOUNT SEMICONDUCTOR CHIP CIRCUIT BOARD ELECTRONIC DEVICE REMOVE PREDEFINED PORTION PLATE RESIST LAYER LASER IRRADIATE FORMING BUMP PLATE RESIST LAYER REMOVE PORTION ELECTROLYTIC PLATE

DERWENT-CLASS: U11 V04

EPI-CODES: U11-D01; U11-E01; V04-R03A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-113983

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12726

(P2000-12726A)

(43) 公開日 平成12年1月14日 (2000.1.14)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|---------------------------|-------|---------------|-------------------------|
| H 0 1 L 23/12 | | H 0 1 L 23/12 | L 4 M 1 0 5 |
| 21/60 | 3 1 1 | 21/60 | 3 1 1 S 5 E 3 4 3 |
| H 0 5 K 3/24 | | H 0 5 K 3/24 | D |

審査請求 未請求 請求項の数 6 O L (全 6 頁)

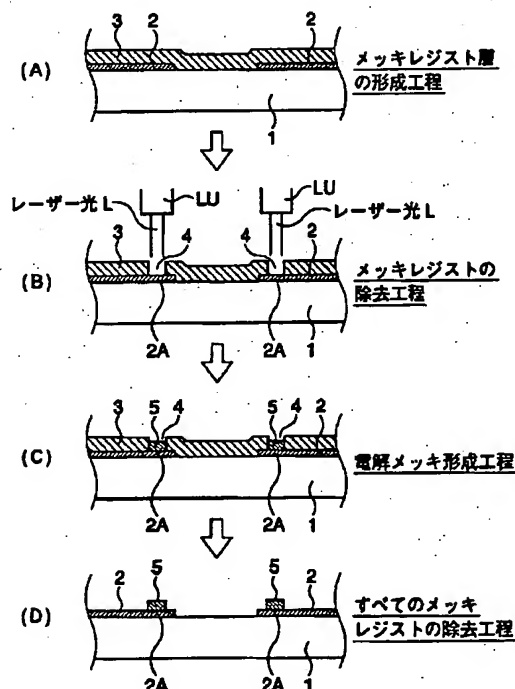
| | | | |
|-----------|------------------------|-----------|--|
| (21) 出願番号 | 特願平10-170184 | (71) 出願人 | 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号 |
| (22) 出願日 | 平成10年6月17日 (1998.6.17) | (72) 発明者 | 西谷 祐司 東京都品川区北品川6丁目7番35号 ソニー株式会社内 |
| | | (74) 代理人 | 100096806 弁理士 岡▲崎▼ 信太郎 (外1名) |
| | | Fターム (参考) | 4M105 AA02 AA04 AA17 AA18 AA19 GG12 5E343 AA02 AA17 AA18 AA23 BB09 BB23 BB24 BB44 BB48 BB61 BB71 CC61 DD33 ER12 ER60 FF16 GG08 GG11 |

(54) 【発明の名称】 半導体実装用基板における突起電極形成方法

(57) 【要約】

【課題】 フェースダウン実装工法により、半導体チップを回路基板に実装するような場合に必要となる突起電極の形成に際して、狭ピッチにおいても高精度のマスクや実装が困難なプロセスを必要とすることなく、突起電極を回路基板上の電極パターン上に精度よく形成することができる半導体実装用基板における突起電極形成方法を提供すること。

【解決手段】 回路パターン2が形成された回路基板1の半導体搭載面の全面にメッキレジスト層3を形成するメッキレジスト層形成工程と、半導体素子と接合される回路パターン2上のメッキレジスト層3をレーザーにて除去する第1メッキレジスト除去工程と、レーザーにて除去された部分に、メッキレジスト層3と同じ厚み、あるいはそれ以下の厚みの電解メッキを施す電解メッキ形成工程と、すべてのメッキレジスト層3を除去する第2メッキレジスト除去工程と、を有する。



【特許請求の範囲】

【請求項1】 半導体実装用の基板に突起電極を形成する形成方法において、

回路パターンが形成された回路基板の半導体搭載面の全面にメッキレジスト層を形成するメッキレジスト層形成工程と、

半導体素子と接合される回路パターン上のメッキレジスト層をレーザーにて除去する第1メッキレジスト除去工程と、

レーザーにて除去された部分に、メッキレジスト層と同じ厚み、あるいはそれ以下の厚みの電解メッキを施す電解メッキ形成工程と、

すべてのメッキレジストを除去する第2メッキレジスト除去工程と、を有する半導体実装用基板における突起電極形成方法。

【請求項2】 回路パターンおよび突起電極が銅からなり、突起電極の表面にニッケルおよび金メッキを施す請求項1に記載の半導体実装用基板における突起電極形成方法。

【請求項3】 回路パターンおよび突起電極が銅からなり、突起電極の表面に、ニッケルおよびパラジウムメッキを施す請求項1に記載の半導体実装用基板における突起電極形成方法。

【請求項4】 半導体実装用の基板に突起電極を形成する形成方法において、

回路パターンが形成された回路基板の半導体搭載面の全面にメッキレジスト層を形成するメッキレジスト層形成工程と、

半導体素子と接合される回路パターン上のメッキレジスト層をレーザーにて除去する第1メッキレジスト除去工程と、

メッキレジスト層が形成された面にメッキレジスト層以下の厚みの無電解メッキを施す無電解メッキ形成工程と、

すべてのメッキレジスト層を除去する第2メッキレジスト除去工程と、を有する半導体実装用基板における突起電極形成方法。

【請求項5】 回路パターンおよび突起電極が銅からなり、突起電極の表面に、ニッケルおよび金メッキを施す請求項4に記載の半導体実装用基板における突起電極形成方法。

【請求項6】 回路パターンおよび突起電極が銅からなり、突起電極の表面に、ニッケルおよびパラジウムメッキを施す請求項4に記載の半導体実装用基板における突起電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体チップの回路面を回路基板に対向させてボンディングを行う、いわゆるフェースダウン実装工法における回路基板上への突

起電極形成方法に関するものである。

【0002】

【従来の技術】 近年の電子機器の軽薄短小化、多機能化に伴い、半導体チップを高密度に実装する必要性が高まっている。このようなニーズに対して、半導体チップを直接回路基板にフェースダウンでボンディングするフリップチップ実装が注目されている。フリップチップ実装においては、半導体チップあるいは回路基板の接続端子に対してバンパと呼ばれる接続用の突起電極を形成するのが一般的である。

【0003】 従来、回路基板上にバンパを形成するには、たとえば図4に示すように、回路基板1、回路パターン2の上に厚膜ガラスペースト膜7を設け（図4(A)）、この上にフォトレジスト8を塗布し（図4(B)）、さらにマスク9を用いて露光（図4(C)）、現像してフォトレジスト上のバンパ形成位置に開口部10を設け（図4(D)）、その後厚膜ガラスペースト膜7をエッチングすることによって形成した開口部11にバンパ5を形成している（図4(E)～(G)）（特開昭59-111338号公報参照）。

【0004】

【発明が解決しようとする課題】 しかし、近年の200μm以下の狭ピッチで形成された回路パターン2の上には、このような方法によりバンパ5を形成するためには、非常に高価な高精度のマスク9が必要であったり、露光の際に、フォトレジスト8とマスク9がしっかりと密着するように、フォトレジスト8の表面を平滑にする必要がある。さらに、狭ピッチでバンパ5を形成するためには、ガラスペースト膜7を非常に小さい径で精度良くエッチングする必要があるが、エッチング液を、小さい径の穴の中に精度よく回り込ませるのは非常に困難であり、従来技術による狭ピッチでの回路基板上へのバンパ5の形成は実現が困難であった。

【0005】 そこで本発明は上記課題を解消し、フェースダウン実装工法により、半導体チップを回路基板に実装するような場合に必要となる突起電極の形成に際して、狭ピッチにおいても高精度のマスクや実現が困難なプロセスを必要とすることなく、突起電極を回路基板上の電極パターン上に精度よく形成することができる半導体実装用基板における突起電極形成方法を提供することを目的としている。

【0006】

【課題を解決するための手段】 上記目的は、本発明にあるのは、半導体実装用の基板に突起電極を形成する形成方法において、回路パターンが形成された回路基板の半導体搭載面の全面にメッキレジスト層を形成するメッキレジスト層形成工程と、半導体素子と接合される回路パターン上のメッキレジスト層をレーザーにて除去する第1メッキレジスト除去工程と、レーザーにて除去された部分に、メッキレジスト層と同じ厚み、あるいはそれ以

下の厚みの電解メッキを施す電解メッキ形成工程と、すべてのメッキレジスト層を除去する第2メッキレジスト除去工程と、を有する半導体実装用基板における突起電極形成方法により、達成される。

【0007】本発明において、メッキレジスト層形成工程では、回路パターンを形成された回路基板の半導体搭載面の全面にメッキレジスト層を形成する。第1メッキレジスト除去工程では、半導体素子と接合される回路パターン上のメッキレジスト層をレーザーにて除去する。電解メッキ形成工程では、レーザーにて除去された部分に、メッキレジスト層と同じあるいはそれ以下の厚みの電解メッキを施す。第2メッキレジスト除去工程では、すべてのメッキレジスト層を除去する。このようにすることで、電解メッキからなる突起電極をレーザーを用いることにより狭ピッチの回路パターン上においても高精度の治具や実現が困難なプロセスを必要とすることなく精度よく突起電極を形成することができる。

【0008】本発明において、好ましくは回路パターンおよび突起電極が銅からなり、突起電極の表面にニッケルおよび金メッキを施す。これにより、銅からなる突起電極の表面に酸化膜が形成されるのを防いで、電気的な接続不良をなくすことができる。

【0009】本発明において、好ましくは回路パターンおよび突起電極が銅からなり、突起電極の表面に、ニッケルおよびパラジウムメッキを施す。これにより、銅からなる突起電極の表面に酸化膜が形成されるのを防いで、電気的な接続不良をなくすことができる。

【0010】上記目的は、本発明にあつては、半導体実装用の基板に突起電極を形成する形成方法において、回路パターンが形成された回路基板の半導体搭載面の全面にメッキレジスト層を形成するメッキレジスト層形成工程と、半導体素子と接合される回路パターン上のメッキレジスト層をレーザーにて除去する第1メッキレジスト除去工程と、メッキレジスト層が形成された面にメッキレジスト層以下の厚みの無電解メッキを施す無電解メッキ形成工程と、すべてのメッキレジスト層を除去する第2メッキレジスト除去工程と、を有する半導体実装用基板における突起電極形成方法により、達成される。

【0011】本発明において、メッキレジスト層形成工程では、回路パターンが形成された回路基板の半導体搭載面の全面にメッキレジスト層を形成する。第1メッキレジスト除去工程では、半導体素子と接合される回路パターン上のメッキレジスト層をレーザーにて除去する。無電解メッキ形成工程では、メッキレジスト層が形成された面にメッキレジスト層以下の厚みの無電解メッキを施す。第2メッキレジスト除去工程では、すべてのメッキレジスト層を除去する。これにより、無電解メッキからなる突起電極を形成することができる。すなわち、狭ピッチの回路パターン上においても、高精度の治具や実現が困難なプロセスを必要とすることなく、精度よく突

起電極を形成することができる。

【0012】本発明において、好ましくは回路パターンおよび突起電極が銅からなり、突起電極の表面に、ニッケルおよび金メッキを施す。これにより、銅からなる突起電極の表面に酸化膜が形成されるのを防いで、電気的な接続不良をなくすことができる。

【0013】本発明において、好ましくは回路パターンおよび突起電極が銅からなり、突起電極の表面に、ニッケルおよびパラジウムメッキを施す。これにより、銅からなる突起電極の表面に酸化膜が形成されるのを防いで、電気的な接続不良をなくすことができる。

【0014】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0015】図1は、本発明のバンパ形成方法を説明する工程を示している。図1(A)のように、回路パターン2が形成された回路基板1とその回路パターン2の上には、メッキレジスト層3を形成する。回路パターン1は、銅が一般的であり、回路基板1はガラスエポキシ基板、セラミック基板、あるいはポリイミド基板などである。

【0016】次に、図1(B)のようにレーザー穴明け装置LUが発生するレーザー光Lを用いて、回路パターン2の電極パターン部のメッキレジスト層の部分除去して、メッキレジスト層3には開口部4が形成される。レーザー光Lを使用することによって、マスクなどの治具を必要としないため、単にレーザー光Lを照射するだけの、簡単なプロセスで開口部4を形成することができる。ここで、レーザーは、たとえばCO₂レーザーを使用すると、回路パターン2を除去せずに、メッキレジスト層3の部分のみを選択的に除去することが容易であり本プロセスに適している。他の形式のレーザーも、レーザー発振の条件を調整することによって使用することが可能である。

【0017】開口部4が形成された後に、図1(C)のように、電解メッキにより、開口部4内の電極パターン部2Aを成長させ、バンパ(突起電極)5を形成する。電解メッキは銅メッキを一般的に使用するが、他の金属メッキを用いても実現することができる。また、メッキの厚みは、メッキレジスト層3の厚みと同じか、それ以下にすることによって、形状の均一なバンパ5を形成することができる。更に、図1(D)のように、残っているメッキレジスト層3をすべて除去することより、バンパ5を有する回路基板1が形成される。また、バンパ5を、電解銅メッキで形成した場合には、バンパ表面は酸

5

化膜が形成されやすく、フェースダウン実装において、電氣的に接続不良を起こす場合があるため、そのような場合には、ニッケルおよび金メッキ、あるいはニッケルおよびパラジウムメッキをバンパ5の形成後に行うと良い。

【0018】次に、無電解メッキによる本発明の実施の形態を以下に説明する。図2は、無電解メッキを使用した本発明の突起電極の形成方法を説明する工程を示している。前述した電解メッキによる突起電極の形成方法と同様に、図2(A)のように回路基板1上にメッキレジスト層3を全面的に形成する。図2(B)のようにレーザー穴明け装置LUのレーザー光Lによって、電極パターン部2のメッキレジスト層3の部分を除去して開口部4を形成する。

【0019】次に、図2(C)のように、回路基板1の半導体搭載面の全面に、無電解メッキ6を施す。開口部4内には、無電解メッキのバンパ5Aが形成されると同時に、メッキレジスト層3上にも無電解メッキ層6が形成される。無電解メッキは銅メッキを一般的に使用するが、他の金属メッキを用いても実現することができる。また、後述するメッキレジストを全て除去する工程において、無電解メッキ層6が除去できるように、メッキの厚みは、メッキレジスト層3の厚み以下にする。更に、メッキレジスト層3を除去することにより、無電解メッキ層6もすべて除去されて、バンパ5Aを有する回路基板として形成される。また、前述した電解銅メッキでバンパ5を形成した場合と同様の理由で、ニッケルおよび金メッキ、あるいはニッケルおよびパラジウムメッキをバンパ形成後に行うことがある。つまりバンパ5Aを、電解銅メッキで形成した場合には、バンパ表面は酸化膜が形成されやすく、フェースダウン実装において、電氣的に接続不良を起こす場合があるため、そのような場合には、ニッケルおよび金メッキ、あるいはニッケルおよびパラジウムメッキをバンパ5Aの形成後に行うと良い。

【0020】図3は、本実施例の回路基板の回路パターン上に形成されたバンパの斜視図である。電解メッキ、あるいは無電解メッキによるバンパ5、5Aが、回路パターン2上の電極パターン部2Aに形成されている。バンパ5、5Aの直径aは、図1(B)および図2(B)の工程においてのレーザー光Lの発振条件でいろいろな値にすることができる。適当なレーザー光の条件を設定することにより、バンパ5、5Aの直径aは、50μmあるいはそれ以下にすることができる。よって、回路パターン2の電極パターン部2Aのピッチbが、たとえば60μmという非常に狭い値であったとしても、バンパ5、5Aの直径aを50μm以下にすることによって、バンパ5、5Aを形成することが可能である。また、バンパ5、5Aの高さcは、バンパ5、5Aをメッキで形成しているために、バラツキが少なく、メッキレジスト

6

の厚みおよびメッキ条件により、任意に形成することができるため、非常に高精度のバンパ5、5Aの形成が可能である。

【0021】以上の説明から明らかなように、本発明の実施の形態によれば、レーザー（レーザー光）を使用することによって、マスクなどの治具を必要としない簡単なプロセスで、狭ピッチに対応したバンパを回路基板の回路パターン上の電極パターン部に形成することが可能である。また、メッキ法を使用することによって、バンパの高さが自由に設定でき、かつ、高さのバラツキの少ない高精度のバンパ形成が可能である。さらに、回路パターンおよびメッキが銅である場合には、バンパ形成後にニッケルおよび金メッキ、あるいはニッケルおよびパラジウムメッキを施すことによって、フェースダウンボンディング時の電氣的な接続不良を防ぐことができる。レーザーとメッキ法を用いることにより、従来困難であった狭ピッチの電極パターン上においても、簡単なプロセスで、精度よくバンパを形成することが可能である。

【0022】本発明では、フェースダウン実装工法により、半導体チップを回路基板に実装するために必要なバンパの形成に際して、狭ピッチにおいても高精度のマスクや実現が困難なプロセスを必要とすることなく、バンパを回路基板上の電極パターン上に精度良く形成することができる。本発明のバンパ形成方法によって、狭ピッチの回路パターン上においても、高精度の治具や実現が困難なプロセスを必要とすることなく、精度良くバンパを形成することができる。

【0023】

【発明の効果】以上説明したように、本発明によれば、フェースダウン実装工法により、半導体チップを回路基板に実装するような場合に必要ない突起電極の形成に際して、狭ピッチにおいても高精度のマスクや実現が困難なプロセスを必要とすることなく、突起電極を回路基板上の電極パターン上に精度よく形成することができる。

【図面の簡単な説明】

【図1】本発明の半導体実装用基板における突起電極形成方法の好ましい実施の形態を示す図。

【図2】本発明の半導体実装用基板における突起電極形成方法の別の実施の形態を示す図。

【図3】図1あるいは図2で得られる半導体実装用基板上における突起電極の一例を示す斜視図。

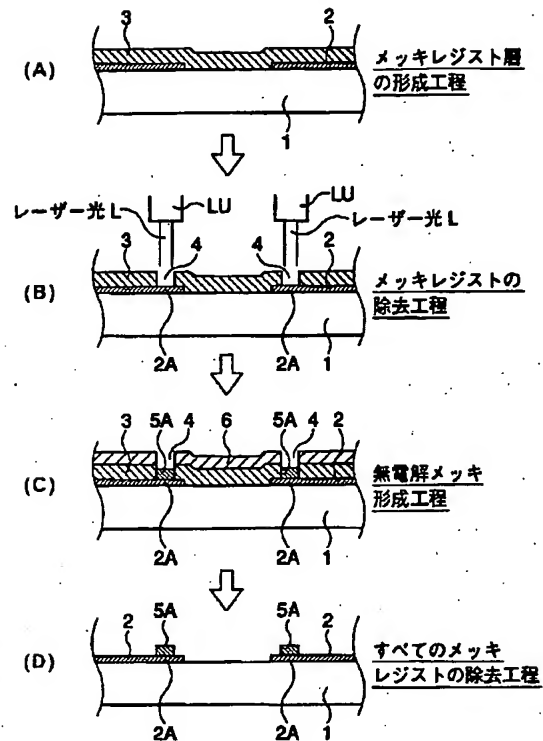
【図4】従来の突起電極の形成例を示す図。

【符号の説明】

1・・・回路基板、2・・・回路パターン、2A・・・回路パターンの電極パターン部、3・・・メッキレジスト層、4・・・メッキレジスト層に形成された開口部、5・・・電解メッキにより形成されたバンパ、5A・・・無電解メッキにより形成されたバンパ、6・・・メッキレジスト層上の無電解メッキ層、7・・・厚膜ガラスペースト膜、8・・・フォトリソ、9・・・マス

1・・・厚膜ガラスペーストに形成された開口部

【図2】



【図4】

